

for JDS

1/1 PLUSPAT - (C) QUESTEL·ORBIT·image

PN - JP6078533 A 19940318 [JP06078533]

PN2 - JP2751961 B2 19980518 [JP2751961]

TI - (A) DC/DC CONVERTER

PA - (A) NEMIC LAMBDA KK

PA0 - (A) NEMITSUKU RAMUDA KK

IN - (A) AARU ORUGANTEI; PUA SHII EICHI; JIEFURII KEE JII TAN

AP - JP22891292 19920827 [***1992JP-0228912***]

PR - JP22891292 19920827 [1992JP-0228912]

STG - (A) Doc. Laid open to publ. Inspec.

STG2 - (B2) Grant. Pat. With A from 2500000 on

AB - PURPOSE: To reduce the rated voltage of each switching means of a DC/DC converter, by minimizing the voltage stress applied to each switching means.

- CONSTITUTION: Switches Q1, Q2 having capacitors C1, C2 respectively are connected with each other in the form of a totempole. The switch Q1 and a transformer T1 are so connected by a blocking capacitor C3 as to insert the capacitor in between the switch and transformer.

Thereby, the source-drain voltage of a FET S1 when operating is restricted to at most an input voltage VS added to the voltage drop of a diode DI. Similarly, the source-drain voltage of a FET S2 when operating is restricted to at most the input voltage VS added to the voltage drop of a diode D2 too.

- COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2751961号

(45)発行日 平成10年(1998)5月18日

(24)登録日 平成10年(1998)2月27日

(51)Int.Cl.⁶

H 0 2 M 3/28
3/335

識別記号

F I

H 0 2 M 3/28
3/335

Q
F

請求項の数1(全15頁)

(21)出願番号 特願平4-228912

(22)出願日 平成4年(1992)8月27日

(65)公開番号 特開平6-78533

(43)公開日 平成6年(1994)3月18日
審査請求日 平成7年(1995)6月20日

(73)特許権者 390013723

ネミック・ラムダ株式会社
東京都品川区東五反田1丁目11番15号

(72)発明者 アール・オルガンティ

東京都品川区東五反田1丁目11番15号

ネミック・ラムダ株式会社内

ブア・シー・エイチ

東京都品川区東五反田1丁目11番15号

ネミック・ラムダ株式会社内

(72)発明者 ジェフリー・ケー・ジー・タン

東京都品川区東五反田1丁目11番15号

ネミック・ラムダ株式会社内

(74)代理人 弁理士 牛木・護

審査官 小池 正彦

最終頁に続く

(54)【発明の名称】 DC/DCコンバータ

(57)【特許請求の範囲】

【請求項1】 直流入力電源と、一次巻線と二次巻線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次巻線に印加する第1のスイッチング手段と、前記トランスの一次巻線と前記第1のスイッチング手段間に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次巻線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次巻線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルター回路とを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッド

バンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次巻線に対して正方向および負方向に電流を流すものであることを特徴とするDC/DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MHz領域における高スイッチング周波数化を可能にした、いわゆる共振形のDC/DCコンバータに関する。

【0002】

【従来の技術】 従来、DC/DCコンバータ技術の動向

は、磁気またはフィルター素子の形状および重量を減らすための、MHz 領域における高スイッチング周波数化に向けられている。しかし、従来のパルス幅変調(PWM)コンバータにおいては、非常に高いスイッチング損失によって、一般にこうした高周波数領域で使用することが不可能であった。このような理由により、最近は、IEEE パワーエレクトロニクス会報 Vol. 1, PE-1, 1987年1月号の第62~71頁に記載された、K. H. リウ, オルガンティ, F. C. リーによる「準共振形コンバータのトポロジーおよびその特性」や、K. H. リウ, F. C. リーに与えられた、米国特許4720667号の「全波モードにおけるゼロ電流スイッチ準共振形コンバータの動作」により紹介された、ゼロ電流スイッチング準共振形コンバータ(ZCS-QRC)、あるいは、IEEE PESCレコード 1986年6月号の第58~70頁に記載された、K. H. リウ, F. C. リーによる「DC/DCコンバータにおけるゼロ電圧スイッチング技術」や、IEEE パワーエレクトロニクススペシャリスト会議、ブラックスバーグ、Va, 1987年の第404~413頁に記載された、W. A. ダビット, P. グラツキー, F. C. リーによる「ゼロ電圧スイッチ準共振形バック型またはフライバック型コンバーター 10MHzでの実験結果」により紹介された、ゼロ電圧スイッチング準共振形コンバータ(ZVS-QRC)、あるいは、IEEE/PESC会議1988年の、W. A. ダビット, F. C. リーによる「ゼロ電圧スイッチングマルチ共振技術 高周波準共振形コンバータにおける性能改良のための新規なアプローチ」や、パワーエレクトロニクス NO-1, 1991年1月号の第141~150頁に記載された、ドラカン マクシモビッチ, スロボダン クックによる「準共振形コンバータの定周波制御」により紹介された、最新形であるゼロ電圧スイッチングマルチ共振形コンバータのような共振スイッチに、研究者の注意が向けられている。また、4個のスイッチが必要とされる、IEEE パワーエレクトロニクススペシャリスト会議、1987年の第424~430頁に記載された、O. D. パターソン, D. M. ディーバンによる「疑似共振フルブリッジDC/DCコンバータ」や、バセット, ジョン A. に与えられた、欧州特許0 428 377 A2号により公知の「ゼロ電圧スイッチングと定スイッチング周波数を特徴とする新規なPWMトポロジー」も、注目すべき価値のあるコンバータである。

【0003】図12は、前記欧州特許0 428 377 A2号において提案された、絶縁型トランスを用いたDC/DCコンバータを示すものである。1は一次側に一次巻線1Aと、二次側に二次巻線1Bとを備えた絶縁型トランスであり、この一次巻線1AとMOS型FET2との直列回路が直流入力電源3の両端に接続されることで、直流入力電源3からの直流入力電圧VINが、選

択的にトランス1の一次巻線1Aに印加される。また、一次巻線1A間には、容量性素子たるキャパシタ4とMOS型FET5との直列回路が接続され、これらFET2, 5は、それぞれ固有のキャパシタンスたるキャパシタ6, 7と、ダイオード8, 9が含まれ、FET2とダイオード8とにより第1のスイッチング手段が構成され、一方、FET5とダイオード9とにより第2のスイッチング手段が構成される。

【0004】一方、トランス1の二次側において、二次巻線1Bには整流ダイオード11, 12を介してフィルタ回路10が接続されており、このフィルタ回路10は、インダクタ13と、平滑用キャパシタ14とからなる。そして、図示しない制御回路により前記FET2, 5をスイッチングすることで、二次巻線1Bに誘起された電圧がダイオード11, 12およびフィルタ回路10を介して、直流出力電圧Voutとして出力される。このとき、FET2をターンオンする前に、前記トランス1の一次巻線1Aに蓄積されたエネルギーによってキャパシタ6が放電され、FET5をターンオンする前に、一次巻線1Aに蓄積されたエネルギーによってキャパシタ7が放電されるように構成すれば、ゼロ電圧スイッチングが達成されると同時に、各FET2, 5におけるスイッチング損失は最小になる。

【0005】こうした各コンバータの背景にある原理は、MOS型FETからなる能動素子2, 5がターンオンする前に、電流あるいは電圧のいずれか一方をゼロにし、かつ、このスイッチング素子2, 5がターンオフされる間にソフトスイッチングを行うことにある。すなわち、絶縁型トランスにおいて固有に存在する漏れインダクタンスと、スイッチング素子2, 5の寄生キャパシタンス6, 7が、ゼロ電圧/電流スイッチングのメカニズムを達成するのに一般的に利用され、ターンオンおよびスイッチオフ時におけるスイッチング損失は、これらのコンバータにおいては略ゼロとなる。

【0006】
【発明が解決しようとする課題】前記従来技術に示された回路において、キャパシタ4の両端間の電圧Vcは、FET2, 5に対するデューティをDとすれば、 $V_c = V_{IN} \times D / (1 - D)$ となる。仮に、デューティDが0.5であり、キャパシタ4の電圧Vcが入力電圧VINに等しいものとすると、FET2がオンの場合には、キャパシタ4が充電されることによって、FET5のドレイン電位はFET2のソースを基準電位とすると+VINとなるため、FET5のソース・ドレイン間には入力電圧VINの2倍の電圧が印加される。一方、FET2がオフの場合には、キャパシタ4が放電されることによって、FET5のドレイン電位はFET2のソースを基準電位とすると-VINとなるため、FET2のソース・ドレイン間にも入力電圧VINの2倍の電圧が印加される。つまり、FET2, 5のスイッチングにより、このFE

T₂, 5 のソース・ドレイン間には、少なくとも入力電圧VINの2倍の電圧ストレスが加わるため、定格電圧のより大きなスイッチング素子2, 5を使用しなければならず、しかも、これに伴ってFET₂, 5のオン抵抗が大きくなるため、トランス1の一次側電力の損失が増加するといった欠点を有していた。

【0007】そこで、本発明は上記問題点を解決して、共振形コンバータの利点を損なうことなく、各スイッチング手段間に加えられる電圧ストレスを最小にして、その定格電圧を小さくするとともに、トランスのコアを完全利用することの可能なDC/DCコンバータを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は直流入力電源と、一次卷線と二次卷線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次卷線に印加する第1のスイッチング手段と、前記トランスの一次卷線と前記第1のスイッチング手段間に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次卷線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次卷線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルタ回路とを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッドバンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次卷線に対して正方向および負方向に電流を流すものである。

【0009】

【作用】上記構成により、双方のスイッチング手段がオフとなるデッドバンドに、トランスの漏れインダクタンス若しくは外付けのインダクタと双方のスイッチング手段に含まれる各キャパシタンスとの共振により、共振型コンバータの利点であるゼロ電流／電圧スイッチングを達成することができる。また、第1のスイッチング手段および第2のスイッチング手段は容量性素子が介在しないトーテムポール形に接続されるため、第1のスイッチング手段および第2のスイッチング手段をスイッチングする際ににおいて、これら各スイッチング手段間に加えられる電圧は、直流入力電源からの入力電圧に略等しくなり、この状態でゼロ電流／電圧スイッチングが達成される。さらに、容量性素子は、トランスの一次卷線に対して正方向および負方向に電流を流すものであるため、こ

のトランスのコアを完全利用することが可能になる。

【0010】

【実施例】以下、本発明の各実施例につき、図1乃至図11を参照して説明する。

- 05 【0011】図1乃至図6は、本発明におけるDC/DCコンバータの第1実施例を示すものである。図1は容量性のフィルターを備えたソフトスイッチコンバータの回路図を示すものであり、周波数制御と、提案される新規な非対称パルス幅変調(PWM)制御(D, 1-D)
- 10 10との双方に適応可能な、新しいDC/DCコンバータトポロジーである。同図において、VSは電源たる直流入力電源であり、この直流入力電源VSからの電力は、MOS型FETS1により選択的にトランスT1の一次巻線に印加される。また、トランスT1の一次巻線とFETS1との間には、容量性素子たるブロッキングキャパシタC3が挿入接続されるとともに、このキャパシタC3と、トランスT1の一次巻線とにより構成される直列回路の両端には、MOS型FETS2が接続される。各FETS1, S2は、それぞれ固有のキャパシタンスとしてのキャパシタC1, C2と、ダイオードD1, D2を含み、このダイオードD1, D2はMOS型FETS1, S2に内蔵のボディーダイオードか、あるいは、外付けのダイオードで構成することが可能である。また、キャパシタC1, C2は、出力側のキャパシター素子C0で構成することが可能である。ダイオードD1およびFETS1全体を表わすのに、第1のスイッチング手段たるスイッチQ1を用い、同様に、ダイオードD2およびFETS2を、第2のスイッチング手段たるスイッチQ2として表わす。
- 15 20 25 30 【0012】スイッチQ1, Q2はキャパシタC3が介在しないトーテムポール形に接続されているために、素子の定格電圧上における付加的な損失はなくなる。このスイッチQ1, Q2は交互にターンオンされ、その間に電圧の転移を可能にするためのデッドバンドが存在することによって、ゼロ電圧スイッチングが達成され得る。前記キャパシタC3は、動作サイクルの一部分に対するエネルギー源として作用するものである。このキャパシタC3の他の機能は、トランスT1が飽和するのを避けるための、ブロッキングキャパシタとして作用することにある。また、定常動作状態の下では、キャパシタC3によって吸収／排出される平均のチャージ量が1サイクルを通してゼロに等しくなるように、トランスT1の磁化電流が適当な値で自動的にセットされる。インダクタLはトランスT1の漏れインダクタンスを用いることが可能であり、必要ならば、外付けのインダクタにより増加させることができる。このインダクタLは、素子のゼロ電圧スイッチングを達成するのに利用される。
- 35 40 45 50 【0013】トランスT1の二次側電流は、このトランスT1の二次巻線の両端にダイオードD3, D4を接続してなるセンタータップ形の整流回路によって整流さ

れ、直接容量性のフィルター回路たるキャパシタC0に供給される。この出力方式における重要な利点とは、出力側ダイオードD3, D4が、出力電圧V0の2倍に理想的に制限されることにある。したがって、ダイオードD3, D4の低い順方向電圧降下は、総合効率を向上させることに用いられる。

【0014】スイッチQ1は時間DTの間隔で、また、スイッチQ2は時間(1-D)Tの間隔で交互にターンオンし、その間にある一定のデッドバンドが存在するようとする。Dの可変は、動作時におけるデューティーサイクルに基づくものであり、このデューティーサイクルDを変化させることによって、出力の制御が達成される。こうした制御は、それぞれ対をなすスイッチが時間DTの間隔でターンオンする、従来例の「疑似共振フルブリッジDC/DCコンバータ」とは異なる。回路の動作は、デューティーサイクルDが0%から50%の間と、50%から100%の間で、実際に非対称となる。したがって、制御の全範囲はデューティーサイクルDが50%から100%と、0%から50%とで達成され得るものであり、コンバータの動作はデューティーサイクルDの範囲の一方に対してのみ解析されることが必要である。次の説明は、デューティーサイクルDの範囲が0%から50%の場合に基づくものである。

【0015】次に、図1における回路の動作原理を説明する。先ず、本回路における基本的な動作として、次の仮定が成り立つものとする。

- ・トランジスタT1の二次側漏れインダクタンスは無視する。
- ・出力側ダイオードD3, D4の順方向降下、および、接合キャパシタンスは無視されるものとする。
- ・ブロッキングキャパシタC3は、キャパシタC3間電圧Vcが略一定となり、リップルを無視できる程大きなものを用いる。
- ・キャパシタC0は、出力電圧V0が一定となるような大きなものを用いる。
- ・磁化インダクタンスLMは、磁化電流IMが略一定となるような大きなものを用いる。

$$\frac{di_L}{dt} = \frac{(Vs - Vc - Vo')}{L}$$

・電圧リップルを無視することにより、ブロッキングキャパシタC3に印加する電圧VCは、D×VSと略等しい直流電圧となる。

【0016】動作状態に基づく図1における回路の各波形を、図2および図3に示す。これらの各状態において、図1の回路は1サイクルの動作中に、種々のトポロジー的モードを経る。図2および図3に対して、回路の概略の電流変換比率は、次の式に示される。

【0017】

10 【数1】

$$Io = \frac{n Vs (D(1-D) - (nVo/Vs)^2)}{4 L fs}$$

15 【0018】

【数2】

$$Io = \frac{n Vs D^2 (1 - D - (nVo/Vs))}{2 L fs (D + (nVo/Vs))}$$

20

【0019】但し、V0=出力側電圧、VS=入力側直流電圧、n=トランス巻線比、fs=スイッチング周波数、D=スイッチQ1のデューティーサイクルである。

【0020】図4は、図1の回路が経過する、種々のトポロジー的モードに対する方式を示すものである。回路の動作は次のようにして説明され得る。最初に、回路は図4aにおけるモード1の状態にあるものと仮定する。なぜならば、このモードは図2および図3の双方に共通するからである。モード1において、スイッチQ1(FETS1あるいはダイオードD1)とダイオードD3はオンとなり、一方、スイッチQ2(FETS2あるいはダイオードD2)とダイオードD4はオフとなる。インダクタ電流iLは、スイッチQ1がスイッチオフする時まで、次の式に示すように、磁化電流IMのレベルより所定の割合で上昇傾斜する。

【0021】

【数3】

モード1

【0024】直ちに、インダクタLはキャパシタC1, C2と共に共振し、コンバータは図4bのモード2の状態となる。初めにFETS1に流れる電流は切換えられ、キャパシタC1, C2をそれぞれ充電/放電する。キャパシタC1はFETS1に対して無損失スナバとして作用し、これによって、スイッチがターンオフの状態で、ソフトスイッチングが達成される。普通キャパシタC1, C2は非常に小さな値であるため、この共振が持続している時間は通常、非常に短い。最初に入力供給電圧VS

【0022】

【数4】

$$Vo' = nVo$$

【0023】但し、V0'=一次側に反射された出力電圧、VC=キャパシタC3に印加する一定の直流電圧、iL=一次側インダクタンス電流である。

が印加されるキャパシタ C 2 は放電してゼロボルトとなり、キャパシタ C 1 は充電して入力電圧 VS となる。キャパシタ C 2 が完全に放電すると、回路は図 4 c のモード 3 に移行して、スイッチ Q 2 のダイオード D 2 が導通し始める。その後、インダクタ電流 i L がその極性を変

える前に、FETS 2 はゼロ電圧スイッチングを行う。ここで、インダクタ電流 i L は、次の数式に示す下降傾斜をなす。

【0025】

【数5】

05

$$\frac{di_L}{dt} = -\frac{(V_C + V_O')}{L} \quad \text{モード 3}$$

【0026】このモードは、インダクタ電流 i L が磁化電流 I M と等しくなり、ダイオード D 3 を流れる電流 i D3 がゼロアンペアに一致するまで継続する。この状態から、ブロッキングキャパシタ C 3 の電圧 V C (D × VS) が、一次側に反射された出力電圧 V O' よりも大きいか、あるいは小さいかによって、回路は図 4 d のモード 4、あるいは、図 4 g のモード 7 のいずれかに移行する。おそらく、デューティーの小さい軽負荷状態であれば、ブロッキングキャパシタ C 3 の電圧 V C は一次側に

反射された出力電圧 V O' よりも小さくなり、結果的に回路はモード 7 に移行することになる。一方、ブロッキングキャパシタ C 3 の電圧 V C が一次側に反射された出力電圧 V O' よりも大きければ、モード 4 に移行することになる。図 4 d のモード 4 に移行するものと仮定すると、ダイオード D 4 は導通し始める。インダクタ電流 i L は、次の数式に示す新たな割合で下降傾斜する。

【0027】

【数6】

15

$$\frac{di_L}{dt} = -\frac{(V_C - V_O')}{L} \quad \text{モード 4}$$

【0028】FETS 2 がターンオフするとこのモードは停止し、回路は図 4 e のモード 5 に移行する。再度このモード 5 においては、インダクタ L がキャパシタ C 1, C 2 と共に共振するが、モード 2 と比較して反対の方向をなす。このモードにおいては、FETS 2 はソフトにターンオンするとともに、FETS 1 は無損失状態でターンオンする。キャパシタ C 1 の電圧がゼロボルトに達すると、直ちにダイオード D 1 は導通し始め、かつ、回

路は図 4 f のモード 6 になる。このポイントでは、インダクタ電流 i L が再び磁化電流 I M と等しくなり、ダイオード D 4 を流れる電流 i D4 がゼロに減少するまで、インダクタ電流 i L は次の数式のように上昇傾斜して、回路はその動作の 1 サイクルを完了する。

30 【0029】

【数7】

25

$$\frac{di_L}{dt} = \frac{V_S - V_C + V_O'}{L} \quad \text{モード 6}$$

【0030】モード 3 に引き続き、ブロッキングキャパシタ C 3 の電圧 V C が一次側に反射された出力電圧 V O' と等しいか、あるいはそれ以下の場合には、回路は選択的に図 4 g のモード 7 に移行する。磁化インダクタンス L M はインダクタ L よりもはるかに大きいため、トランジスタ T 1 の電圧 V X はブロッキングキャパシタ C 3 の電圧 V

C の負電圧に等しくなる。磁化インダクタンス L M は大きく、これによって、インダクタ電流 i L は次の数式のように減少して略ゼロとなる。

40 【0031】

【数8】

30

$$\frac{di_L}{dt} = -\frac{V_C}{L_M} \quad \text{モード 7}$$

【0032】したがって、インダクタ電流 i L は略一定値を示し、磁化電流 I M と等しくなる。そして、スイッチ Q 2 が再びスイッチオフとなるまで、この一定の状態

を保持する。その後、回路は図 4 b のモード 2 に移行し、インダクタ L は再度キャパシタ C 1, C 2 と共に共振する。キャパシタ C 2 に印加する電圧がゼロボルトに達す

50

ると回路はモード1に戻り、これによってその動作の1サイクルが完了する。

【0033】上述のように、図1の回路は固定されたデューティーサイクルDの下で、周波数を可変制御しながら動作することも可能である。デューティーサイクルDがあらゆる値となり得るが、実効電流が最低となり、しかも、これによって最高の効率を達成する約50%程度のデューティーDが賢明である、しかしながら、IEEE E パワーエレクトロニクス会報 V o l. 4, N O. 4, 1987年10月号の第45.9~46.9頁、M. M. ヨバノビッチ、W. A. ダビッツ、F. C. リーによる、「ゼロ電圧スイッチング準共振形およびマルチ共振形技術を用いた高周波オフラインパワー変換」に記載されたハーフブリッジ型のゼロ電圧スイッチング準共振形コンバータにおいては、周波数制御の方法が、入力電圧VS や負荷RL の変動のために広い周波数の範囲上に及ぶ可能性がある。したがって、この制御方法は、制限された負荷範囲における利用に対してのみ、良い候補となる。

【0034】上述の周波数範囲が広いという問題点を解決するために提案された方法は、入力電圧VS の変動に対してのみ変化する、周波数制御の機構を紹介するためのものである。これは、制御する周波数の範囲をより狭

くさせるものである、すなわち、コンバータは、PWM制御の下で負荷変動に対して動作する。

【0035】また、FETS1がオン、FETS2がオフの状態では、FETS2のソース・ドレン間電圧は、入力電圧VS にスイッチQ1のダイオードD1による電圧降下分が加えられるとともに、FETS1がオフ、FETS2がオンの状態においても、FETS1のソース・ドレン間電圧は、同様に入力電圧VS にスイッチQ2のダイオードD2による電圧降下分が加えられる。すなわち、FETS1, S2のソース・ドレン間は、いかなる場合においても、キャパシタC3の充放電電圧が直接印加されることがなく、各FETS1, S2に対する電圧ストレスは、従来例の回路に比べてはるかに小さくなる。

【0036】次に、図1に示す回路に対する実験結果について説明する。新規なソフトスイッチコンバータとして、出力50Wのコンバータが、入力範囲4.2V~6.3V、出力5V、負荷範囲0~1.0A用に設計される。パワーステージ用に使用された各部品は、以下の表の通りである。

【0037】

【表1】

スイッチ Q1, Q2 キャパシタ C1, C2	東芝製 2SK1116 920pF (2SK1116の出力キャパシタンス代表値)
トランジスタ T1	
コア:	ティーディーケイ(TDK)製 EI-25PC40
一次側:	エアギャップ0.3mm
二次側:	13ターン(リツツ線)
ダイオード D3, D4	4ターン(リツツ線)
インダクタ L	新電元工業製 SBD S60SC4M
	1.1μH (230nH 外付けインダクタ + 780nH トランジスタT1の漏れインダクタンス)

【0038】図5は、図1における回路の電流並びに電圧波形である。図中、上段はインダクタ電流iL、中段はスイッチQ1のゲート・ソース間電圧VGS1 およびドレン・ソース間電圧VDS1、下段はスイッチQ2のゲート・ソース間電圧VGS2 およびドレン・ソース間電圧VDS2 であり、各波形は入力4.2V、出力5V、および負荷範囲1.0Aの条件の下で測定されたものである。さらに、デューティーは動作状態において約50%であ

る。

【0039】図5における上段の波形はインダクタ電流iL のものであり、その形は理論的な分析において予測された三角波形状をなす。図5の中段の電圧波形は、スイッチQ1がターンオンする前にゼロに降下し、かつ、ターンオン時に徐々に上昇するスイッチQ1のドレン・ソース間電圧VDS1 を示している。これは、スイッチQ1に対して無損失スイッチングが行われていることを

証明するものである。一方、下段の波形は、スイッチQ2に対してゼロ電圧スイッチングが行われていることを示すものである。

【0040】図6は各入力電圧VSにおける効率対出力電力曲線を示している。実線はコンバータが入力電圧VS全体に対して、固定周波数動作の下で運転していることを示し、また、点線は異なる入力電圧VSに対して、異なる周波数の下での動作を示している。この回路では、入力電圧VSが42V、周波数142kHz、全負荷状態において、最も効率が良いことがわかる。これによって、ゲート駆動の損失を除いて、約85%の効率を達成できる。しかし、入力電圧VSが50Vおよび63Vにおける他の2本の実線は、入力電圧VSの増加による効率の低下を示している。これは、より高い入力電圧VSによって、全負荷状態で回路がより小さなデューティーで動作することに起因する。回路の実効電流は、デューティーが約50%で入力電圧VSが42Vの時と比較して高くなり、結果的に効率の悪化を招く。

【0041】点線は、スイッチング周波数をそれぞれ245kHzと335kHzに上昇した場合の、入力電圧VSが50Vと43Vに対する改善された効率を示すものである。周波数の上昇によって、回路はより高いデューティーで実際に動作することが可能となり、回路の実効電流を最終的に減少する。すなわち、スイッチング周波数が入力電圧VSに基づいて変化するならば、回路にとって好適である。

【0042】次に、図7乃至図11に基づいて、本発明の第2実施例を説明する。図7は誘導性フィルタータイプのトポロジーを示すものであり、図8は、提案された非対称のデューティーサイクルPWM制御の下での、異なる動作モードに対する各電流および電圧波形を示すものである。図1における出力側のフィルターは、容量性から誘導性のフィルターに変更される。トランジスタT1の二次側電流は整流され、インダクタL0と、キャパシタC0により構成される誘導性フィルターに供給される。この方式では、追加のインダクタL0が必要である。本トポロジーにおける重要な利点とは、一次側および二次側の電流が略方形波に近づくことにある。本実施

例における回路に対して提案された制御方法は、新規な非対称タイプのパルス幅変調制御方法(D, 1-D)であり、前述のハーフブリッジ型のゼロ電圧スイッチング準共振形コンバータにおける、大きな制御周波数の変化を伴うといった問題点を解決するものである。各スイッチQ1, Q2の動作時において、ゼロ電圧スイッチング、一定の周波数、および低い電圧ストレスという第1実施例における回路の特徴の殆どが、本回路に継続される。さらに、一次側および二次側の矩形の電流波形が、より低い実効電流を与え、これによって、パワー半導体素子やその他の素子に対して導通損を低くすることを可能にする。概略の電圧変換比率は、次の式のように示される。

【0043】

15 【数9】

$$D(1-D) = \frac{n V_o}{2 V_s}$$

20 【0044】但し、D=Q1のデューティーサイクルである。図8に示すように、回路はその動作を行うために、1個のシーケンスのみを備えているに過ぎないが、本回路における実際の動作モードは、非常に複雑である。しかしながら、これは、8つの基本的な動作モードによって明確に説明されるとともに、各トポロジー的モードに対する説明図は、図7において示される。回路1でキャパシタC3, 磁化インダクタンスLMおよび順電圧降下VFに対してなされた仮説を、次の説明においてそのまま使用する。

25 【0045】図9aに示すように、回路はモード1の状態にあるものと仮定する。このモードにおいて、FET S1はターンオンするとともに、FET S2はオフする。出力電流はダイオードD3を流れ、一次側インダクタ電流iLはLoの傾斜に基づいて上昇傾斜する。この傾斜は、次の式のように近似される。

30 【0046】

【数10】

$$\frac{di_L}{dt} = \frac{n}{L_0} \left(\frac{V_s(1-D)}{n} - V_o \right) \text{ モード } 1$$

【0047】但し、Lo=出力側フィルターのインダクタンスである。FET S1がターンオフすると、回路は図9bに示すモード2に移行し、インダクタLの連続電流が、キャパシタC2, C1をリニアに放電/充電する。キャパシタC2の電圧、すなわち入力電圧Vsは、素早くキャパシタC3の電圧Vcに放電され、一方、キャパシタC1は(Vs - Vc)なる電圧に充電される。その後、コンバータは図9cに示すモード3に移行し、

トランジスタT1の電圧Vxがゼロボルトにクランプされるとともに、インダクタLはキャパシタC2の電圧がゼロ45ボルトに達するまでに、キャパシタC1, C2と共に共振する。キャパシタC1, C2の値が低く、しかも、インダクタ電流iLが適度に高いことから、モード2およびモード3の間隔時間は通常、非常に短い。キャパシタC2が放電してゼロボルトとなると、スイッチQ2のボディダイオードD2は電流を流し出す。ダイオードD2が

導通状態にある間、FETS 2はターンオンされ、これによって、ゼロ電圧スイッチングが行われる。

【0048】ダイオードD 2とFETS 2との導通は、図9dに示す本コンバータのモード4における動作を記す。このモードでは、トランジストT 1は短絡状態のままであるため、双方の出力側ダイオードD 3, D 4は導通し

$$\frac{di_L}{dt} = - \frac{V_C}{L}$$

【0050】このインダクタ電流i Lが変化している間、ダイオードD 4を流れる電流i D4=i 0となるまで、ダイオードD 3における電流i D3は下降傾斜し、一方、ダイオードD 4における電流i D4は上昇傾斜する。図9eに示すモード5において、ダイオードD 3は完全にオフし、トランジストT 1の電圧VXは、ゼロボルトから

$$\frac{di_L}{dt} = - \frac{n}{L_0} \left(\frac{V_C}{n} - V_O \right) \quad \text{モード5}$$

【0052】図9fに示すモード6においてS 2はスイッチオフし、モード2のように、負の連続インダクタ電流i LがキャパシタC 1/C 2を(VS-Vc)/Vcなる電圧にそれぞれ充電/放電する。その後、図7gに示すモード7に移行し、一方、キャパシタC 2は共振によってVSに充電される。

【0053】ボディーダイオードD 1が導通すると、スイッチQ 1はモード8にてターンオンする。このモード

$$\frac{di_L}{dt} = \frac{Vs(1-D)}{L} \quad \text{モード8}$$

【0055】ここに、動作全体のサイクルが完了する。また、動作中においては、図1における回路と同様に、FETS 1がオン、FETS 2がオフの状態では、FETS 2のソース・ドレイン間電圧は、入力電圧VSにスイッチQ 1のダイオードD 1による電圧降下分が加えられ、FETS 1がオフ、FETS 2がオンの状態では、FETS 1のソース・ドレイン間電圧は、入力電圧VSにスイッチQ 2のダイオードD 2による電圧降下分が加えられる。したがって、いかなる場合でも、FETS 1, S 2のソース・ドレイン間にキャパシタC 3の充放

て、出力側インダクタL 0のコアがリセットするのを可能にする。このモードの間、一次側インダクタンスLの電圧はVCでクランプされ、かつ、インダクタ電流i Lは次の数式に示すように、所定の割合で下降傾斜する。

05 【0049】

【数11】

モード4

キャパシタC 3の電圧VCの負電圧にその極性を反転する。このとき、インダクタ電流i Lは、次の数式に示すような緩やかな割合でさらに下降傾斜する。

【0051】

15 【数12】

においては、モード4のように出力側フィルターのインダクタL 0がリセットされ得るよう、トランジストT 1の電圧VXが短絡される。しかしながら、このときのインダクタ電流i Lは、次の数式に示す割合で上昇傾斜する。

25 【0054】

【数13】

電電圧が直接印加されず、各FETS 1, S 2への電圧ストレスは、従来例の回路に比べてはるかに小さくなる。

35 【0056】次に、本実施例における図7に示す回路の実験結果について説明する。本実施例においては、図1に示す回路に962nHの出力側インダクタL 0を追加することによって、同様に、出力50Wのコンバータが40設計される。変更点は、以下の表の通りである。

【0057】

【表2】

トランスT1	
コア:	ティーディーケイ(TDK)製
	PC40 EI-22-19-6
	エアギャップ 0.075mm
一次側:	10ターン
二次側:	3ターン
インダクタL	845nH (545nH 外付けインダクタ + 300nH トランスT1の漏れインダ クタンス)

【0058】図10は、図7に示す回路の電流および電圧に対する実験波形を示すものである。図中、上段はインダクタ電流 i_L 、中段はスイッチQ1のゲート・ソース間電圧 $VGS1$ およびドレイン・ソース間電圧 $VDS1$ 、下段はスイッチQ2のゲート・ソース間電圧 $VGS2$ およびドレイン・ソース間電圧 $VDS2$ である。図10において、上段の波形はインダクタ電流 i_L のものである。下段の4つの波形は、この回路も同様に、双方のスイッチQ1, Q2に対して、ゼロ電圧スイッチングが達成されていることを示すものである。

【0059】図11は、各入力電圧VSにおける効率対出力電力曲線を示している。この回路では、出力側が全負荷電流時で、かつ、入力電圧VSが42Vの場合、効率87.6%を達成する。しかしながら、第1実施例の回路と同様に、入力電圧VSが高くなるにしたがって、効率が低下する。すわわち、入力電圧VSが60Vでは効率は87.1%になり、入力電圧VSが63Vでは効率は85.8%になる。しかし、準方形波の形状をなす電流によって、この低下はそれほど急激なものとはならない。効率の低下は、入力電圧VSが高くなることにより、磁化電流IMのリップルがより高くなることに起因するものと推量する。

【0060】以上のように、上記各実施例では、共振回路の一部分として、絶縁型トランジスタT1の漏れインダクタンスと、MOS型FETS1, S2の寄生キャパシタンスとを利用した、新規な非対称のPWM制御を伴う新たなソフトスイッチコンバータが紹介された。図1および図7における各実施例の回路は、いずれもFETS1, S2がキャパシタC3の介在しないトーテムポール形に接続されているため、このFETS1, S2のソース・ドレイン間に印加される電圧は、入力電圧VSにダイオードD1, D2の電圧降下分を加えたものに過ぎない。すなわち、FETS1, S2に対する電圧ストレスは、従来例に比べてはるかに小さいため、共振形コンバータの利点を損なうことなく、より小さな定格電圧のF

ETS1, S2を使用することが可能となり、しかも、同時にFETS1, S2のオン抵抗も小さくなるため、トランジスト1の一次側の電力損失を減少させ、かつ、回路の全体的な効率を改良することもできる。

- 20 【0 0 6 1】上記各回路における利点、効果は、次の通りである。

 - ・図1に示す回路において、出力側ダイオードD3, D4に対する電圧ストレスを低下でき、ダイオードD3, D4に対する導通損を低下することができる。

25 •図7に示す回路において、回路の実効電流を低下できるため、ダイオードD1, D2やMOS型FETS1, S2に対する導通損を低下できる。

 - ・各FETS1, S2がキャパシタC3の介在しないトーテムポール形に接続されるため、このFETS1, S30 2に対する電圧ストレスを低下できる。すなわち、MOS型FETS1, S2の定格電圧および導通損を低く抑えることができる。
 - ・全負荷状態における、入力側の回路電流を低下させることができる。すなわち、入力側の各素子に対する電流35 ストレスを低下できる。
 - ・特に、図1に示す回路において、少ない部品点数で構成できる。
 - ・トランジスタT1に対して、正方向および負方向に電流を流すことにより、このトランジスタT1のコアを完全利用することができる。

40

 - ・負荷変動に対する動作周波数の固定化を図ることができる。
 - ・無負荷を含む広範囲な負荷状態に対応できる。
 - ・不完全な負荷状態であっても、全体の効率が高い。

45 【0 0 6 2】

【発明の効果】本発明は直流入力電源と、一次巻線と二次巻線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次巻線に印加する第1のスイッチング手段と、前記トランスの一次巻線と前記第1のスイッチング手段間

に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次巻線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次巻線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルターハウスとを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッドバンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次巻線に対して正方向および負方向に電流を流すものであり、共振形コンバータの利点を損なうことなく、各スイッチング手段間に加えられる電圧ストレスを最小にして、その定格電圧を小さくするとともに、トランスのコアを完全利用するとの可能なDC/DCコンバータを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す回路図である。

【図2】同上各部の波形図である。

【図3】同上各部の波形図である。

【図4】同上回路の動作状態を示す説明図である。

【図5】同上回路の電流および電圧を示す波形図である。

【図6】同上各入力電圧における効率対出力電力の特性を示すグラフである。

【図7】本発明の第2実施例を示す回路図である。

【図8】同上各部の波形図である。

【図9】 同上回路の動作状態を示す説明図である

【図10】同上回路の電流および電圧を示す波形図である。

【図11】同上各入力電圧における効率対出力電力の特性を示すグラフである。

【図12】従来例を示す回路図である。

VS 直流入力電源

【符号の説明】

15 VS 直流入力電源

T1 トランス

Q1 スイッチ（第1のスイッチ手段）

Q2 スイッチ（第2のスイッチ手段）

C1, C2 キャパシタ (キャパシタンス)

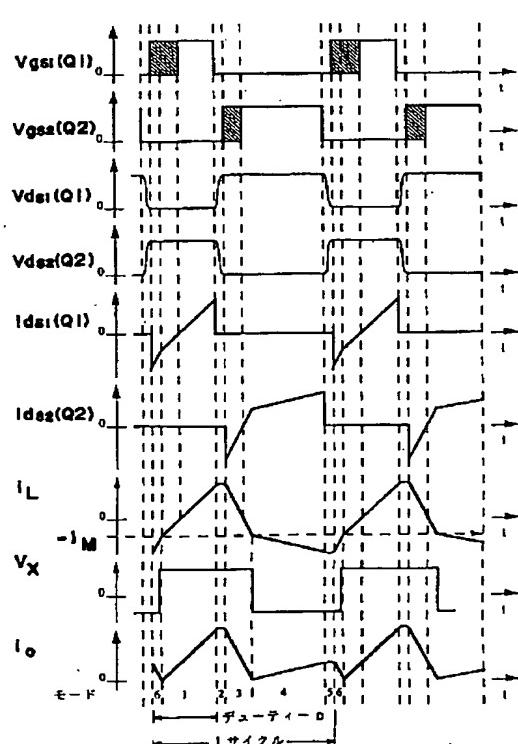
20 C3 キャパシタ（容量性素子）

D 3, D 4 夕

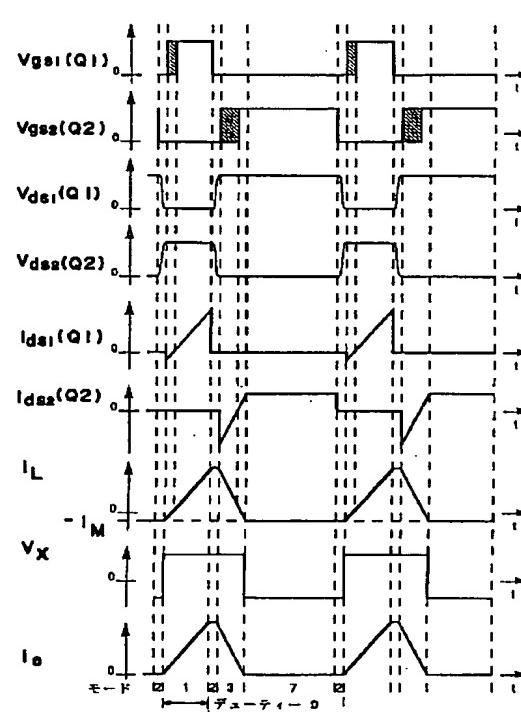
L インダクタ

C0 キャパシタ（フィルター回路）

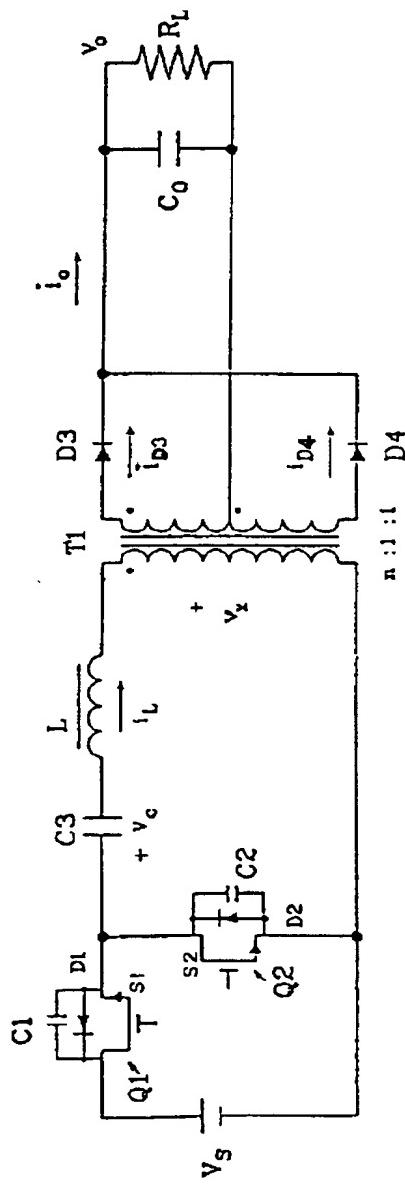
1



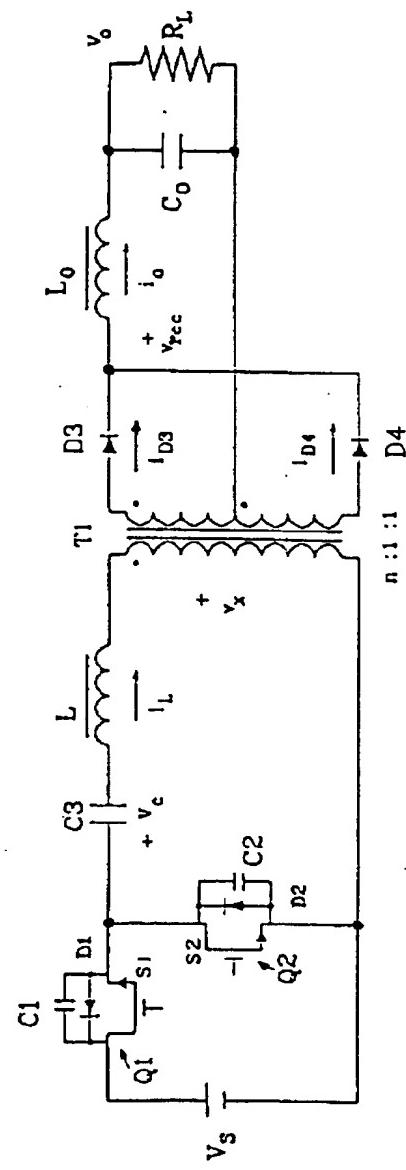
[図3]



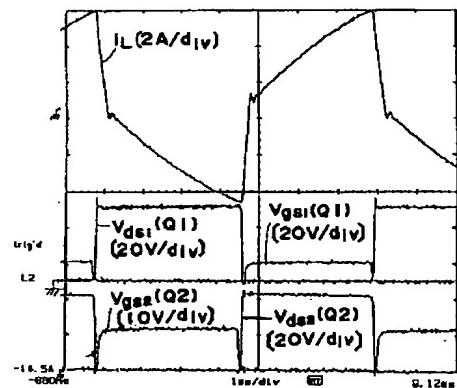
【図1】



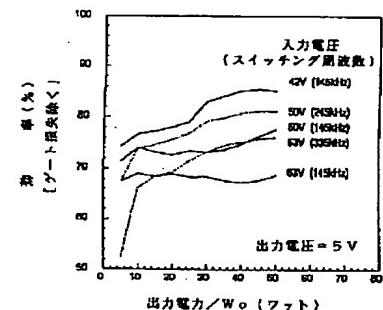
【図7】



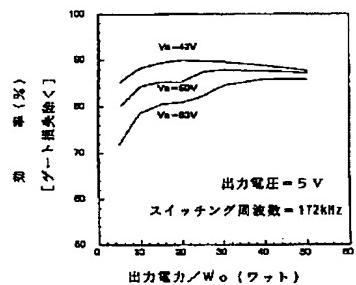
【図 5】



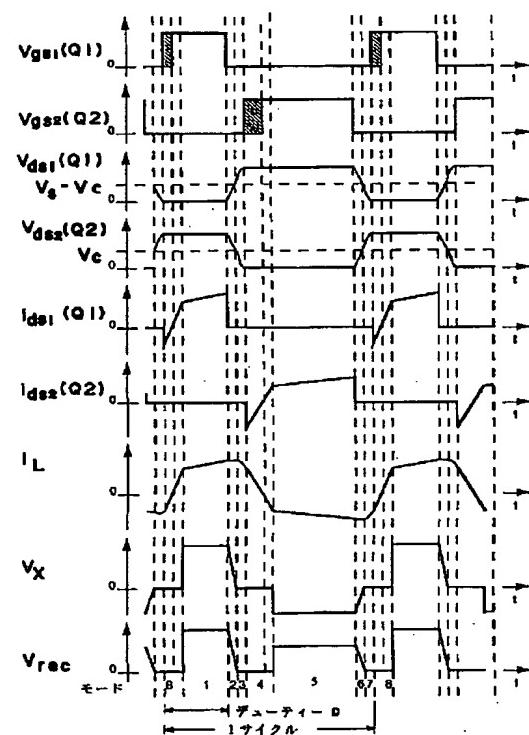
【図 6】



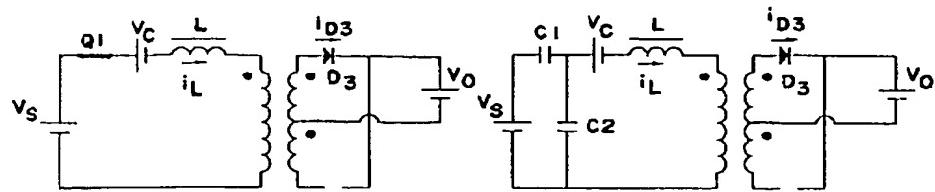
【図 11】



【図 8】

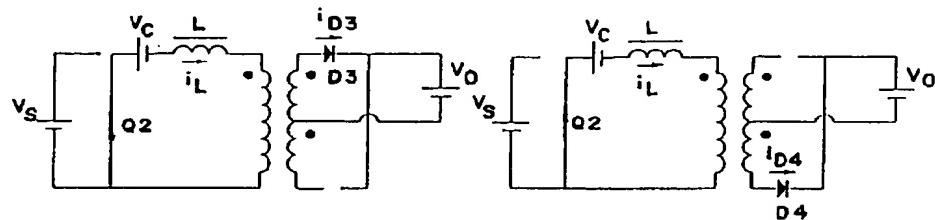


[図4]



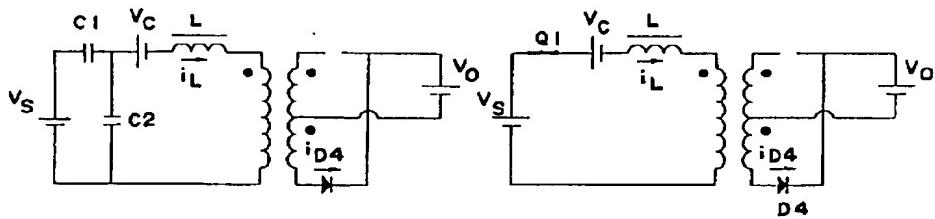
a) モード 1

b) モード 2



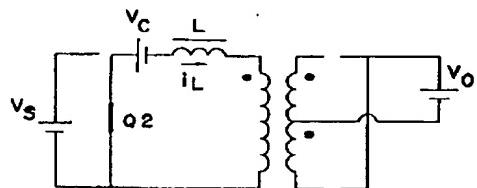
c) モード 3

d) モード 4



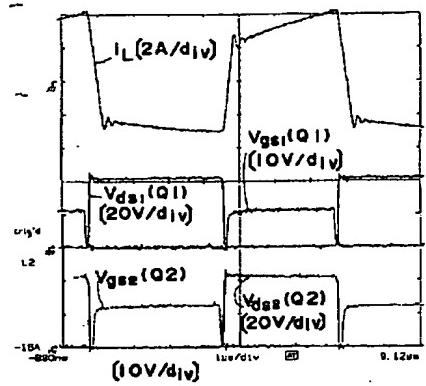
e) モード 5

f) モード 6

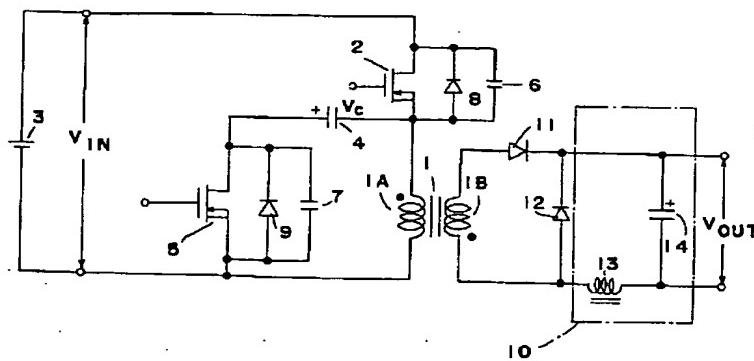


g) モード 7

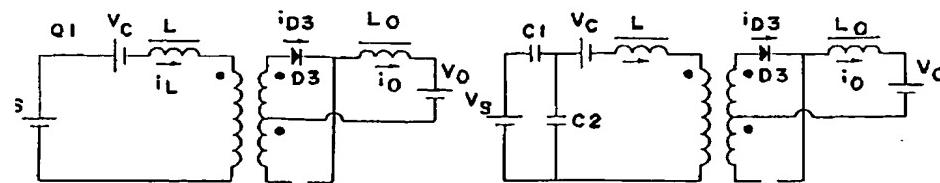
【図10】



【図12】

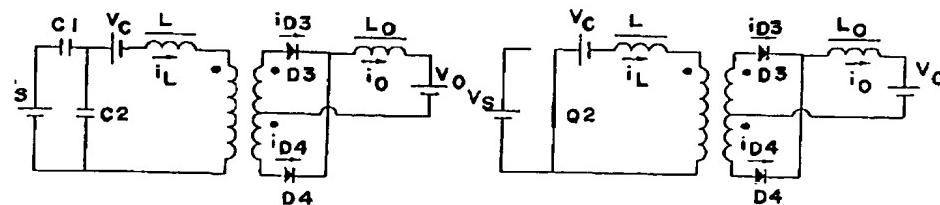


[図 9]



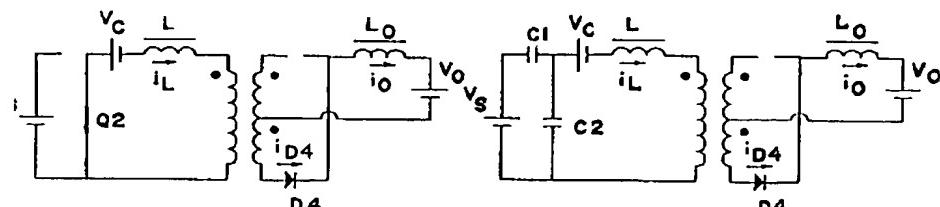
a) モード 1

b) モード 2



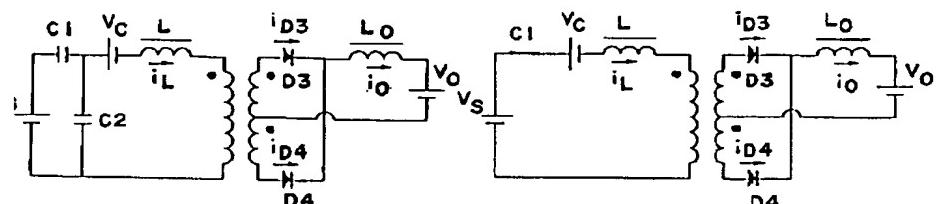
c) モード 3

d) モード 4



e) モード 5

f) モード 6



g) モード 7

h) モード 8

フロントページの続き

(56)参考文献 実開 平5-84186 (J P, U)
特公 昭54-43168 (J P, B 1)

(58)調査した分野(Int. Cl. 6, DB名)